

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02124609 A**

(43) Date of publication of application: **11.05.90**

(51) Int. Cl

H03F 3/343

H03F 3/345

H03F 3/45

(21) Application number: **63278839**

(71) Applicant: **NEC CORP**

(22) Date of filing: **02.11.88**

(72) Inventor: **KURATA KATSUMASA**

(54) **CURRENT MIRROR CIRCUIT**

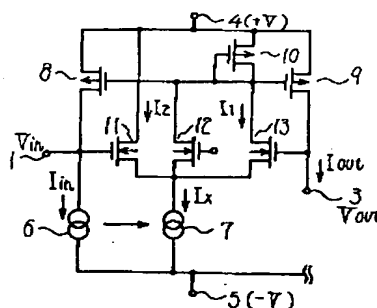
a low voltage with high accuracy is attained.

(57) Abstract:

COPYRIGHT: (C)1990,JPO&Japio

PURPOSE: To obtain a stable current mirror characteristic of the title circuit operated at a low voltage with high accuracy by providing a control circuit comprising plural field effect transistors(TRs) and a constant current source or the like to make the potential of a current input terminal and a current output terminal.

CONSTITUTION: A constant current source 6 produces an input current I_{in} of a current mirror circuit. Moreover, a field effect TR (PMOS) 10, TRs 11-13, a constant current source 6 and a constant current source 7 giving an output in tracking with them constitute a differential amplifier circuit receiving a level of a current input terminal 1 and a current output terminal 3 as inputs. Then the drains of the TRs 12, 13 being the output are connected to gates of PMOS TRs 8, 9 and the drain of the TR 9 is connected to the current output terminal 3. Thus, even if the input current and the output load are largely fluctuated, the current mirror characteristic of the current mirror circuit operated at



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-124609

⑬ Int. Cl.⁵

H 03 F 3/343
3/345
3/45

識別記号

A
Z
A

庁内整理番号

6751-5J
6751-5J
7741-5J

⑭ 公開 平成2年(1990)5月11日

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 電流ミラー回路

⑯ 特 願 昭63-278839

⑰ 出 願 昭63(1988)11月2日

⑱ 発 明 者 倉 田 勝 正 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

電流ミラー回路

特 許 請 求 の 範 囲

電流入力端子にドレインが接続されソースが第一の電源に接続された第一の電界効果トランジスタと、前記第一のトランジスタと同極性で互いのゲートが共通接続され且つドレインが電流出力端子に、ソースが前記第一の電源に接続された第二の電界効果トランジスタと、ゲートおよびドレインが前記第一のトランジスタのゲートに共通接続され且つソースが前記第一の電源に接続された同極性の第三の電界効果トランジスタと、前記第一のトランジスタと逆極性でゲートが前記第一のトランジスタのドレインに接続され且つドレインが前記第一の電源に接続された第四の電界効果トランジスタと、前記第四のトランジスタと同極性で共にソースが前記第四のトランジスタのソースに

共通接続され且つそれぞれのドレインが前記第一のトランジスタのゲートに接続され、一方のゲートは所定の電位を供給され、他方のゲートは電流出力端子に接続された第五および第六のトランジスタと、前記第四、第五、および第六のトランジスタの共通ソース接続点と第二の電源との間に接続された定電流源と、前記定電流源の出力電流値を前記電流入力端子に流れ込む電流値に比例して変化させる手段とを備えることを特徴とする電流ミラー回路。

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明は電流ミラー回路に関し、特に集積回路に適した電流ミラー比を得る電流ミラー回路に関する。

〔従来の技術〕

従来、かかる電流ミラー回路は一對の入出力電界効果トランジスタと定電流源とで構成した回路、あるいはトランジスタをカスコード接続した

回路等が用いられている。

第4図はかかる従来の一例を示す電流ミラー回路図である。

第4図に示すように、この電流ミラー回路は、ソースが第一の電源4(+V)に接続され、且つゲートに接続されたドレインは定電流源6を介して第二の電源5(-V)に接続されるとともにゲートに接続されたPチャンネル・エンハンスメント型MOSFET8と、ゲートがこのPチャンネルMOSFET8のゲートに接続され且つソースは第一の電源4に、ドレインは出力端子3にそれぞれ接続されたPチャンネル・エンハンスメント型MOSFET9とから構成されている。

かかる電流ミラー回路において、定電流源6で発生した電流 I_{10} にしたがって、出力電流 I_{out} は $I_{out} = A \times I_{10}$ となる。但し、 $A = (W_9 / L_9) / (W_8 / L_8)$ ； W_8 、 W_9 はトランジスタ8、9のチャンネル幅； L_8 、 L_9 はトランジスタ8、9のチャンネル長である。

しかしながら、実際にはトランジスタ8と9の

ソース・ドレイン間電位 V_{DS} が異なる場合に、チャンネル長変調効果によりトランジスタ8と9のドレイン電流に誤差が生じてくる。従って、正確な入出力電流の関係は、

$$I_{out} = A \left(I_{10} + \frac{V_{DS9} - V_{DS8}}{r_{ds}} \right)$$

と表わせる。但し、 $A = W_9 / W_8$ 、 $L_8 = L_9$ とする。 r_{ds} はトランジスタ8の出力抵抗、 V_{DS8} 、 V_{DS9} はトランジスタ8、9のソース・ドレイン電圧である。

そこで、従来より等価的にトランジスタの出力抵抗を大きくするためにチャンネル長 L を大きくしたり、あるいはトランジスタのカスコード接続（例えば、ウィルソン型電流ミラー回路等）による回路を使用している。

〔発明が解決しようとする課題〕

上述した従来の電流ミラー回路では、低電圧動作が可能であり、広い動作電圧が得られる。すなわち、通常MOSトランジスタの閾値電圧 V_T は1V弱であるので、第4図に示す従来例では1.5V

- 3 -

- 4 -

程度でも十分に動作し、したがって広い動作電圧が得られる。

しかしながら、従来例は広い動作電圧が得られるのとは反対に、ミラー特性の精度が十分に得られないという欠点がある。

また、トランジスタのカスコード接続による電流ミラー回路においては、ゲート・ソース電圧の縦積み段数倍以上が必要となるので、1.5V程度の低電圧動作が不可能になるという欠点がある。

本発明の目的は、かかる入力電流や出力負荷が大きく変動しても、高精度且つ低電圧で動作する安定した電流ミラー特性を得ることのできる電流ミラー回路を提供することにある。

〔課題を解決するための手段〕

本発明の電流ミラー回路は、電流入力端子にドレインが接続されソースが第一の電源に接続された第一の電界効果トランジスタと、前記第一のトランジスタと同極性で互いのゲートが共通接続され且つドレインが電流出力端子に、ソースが前記

第一の電源に接続された第二の電界効果トランジスタと、ゲートおよびドレインが前記第一のトランジスタのゲートに共通接続され且つソースが前記第一の電源に接続された同極性の第三の電界効果トランジスタと、前記第一のトランジスタと逆極性でゲートが前記第一のトランジスタのドレインに接続され且つドレインが前記第一の電源に接続された第四の電界効果トランジスタと、前記第四のトランジスタと同極性で共にソースが前記第四のトランジスタのソースに共通接続され且つそれぞれのドレインが前記第一のトランジスタのゲートに接続され、一方のゲートは所定の電位を供給され、他方のゲートは電流出力端子に接続された第五および第六のトランジスタと、前記第四、第五、および第六のトランジスタの共通ソース接続点と第二の電源との間に接続された定電流源と、前記定電流源の出力電流値を前記電流入力端子に流れ込む電流値に比例して変化させる手段とを備えて構成される。

〔実施例〕

- 5 -

- 6 -

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第一の実施例を示す電流ミラー回路図である。

第1図に示すように、本実施例は電流入力端子1にドレインが接続され且つソースが第一の電源(+V)4に接続された第一の電界効果トランジスタ(PMOS)8と、このPMOSTランジスタ8と同極性で互いのゲートが共通接続され且つドレインが電流出力端子3に、ソースが第一の電源4に接続された第二の電界効果トランジスタ9と、ゲートおよびドレインがPMOS8のゲートに共通接続され且つソースが第一の電源4に接続された同極性の第三の電界効果トランジスタ10と、第一のトランジスタ8とは逆極性でゲートが第一のトランジスタ8のドレインに接続され且つドレインが第一の電源4に接続された第四の電界効果トランジスタ(NMOS)11と、第四のトランジスタ11と同極性で共にソースが第四のトランジスタ11のソースに共通接続され且つそ

れぞれのドレインが第一のトランジスタ8のゲートに接続され、一方のゲートは所定の電位 V_a を所定電圧印加端子2から供給され、他方のゲートは電流出力端子3に接続された第五および第六のトランジスタ(NMOS)12および13と、これら第四、第五および第六のトランジスタ11~13の共通ソース接続点と第二の電源(-V)5との間に接続された定電流源7と、この定電流源7の出力電流値 I_x を電流入力端子1に流れ込む電流値 I_{in} に比例して変化させる定電流源6等からなる手段とを有している。

かかる電流ミラー回路において、定電流源6は電流ミラー回路の入力電流 I_{in} を発生するためのものである。また、PMOSTランジスタ10とトランジスタ11~13と定電流源6とトラッキングして出力する定電流源7は電流入力端子1と電流出力端子3を入力とした差動増幅回路を構成しており、その出力であるトランジスタ12および13のドレインがPMOSTランジスタ8、9のゲートに接続され、前述したように、トランジ

- 7 -

- 8 -

スタ9のドレインが電流出力端子3に接続されている。

次に、かかる電流ミラー回路の動作を説明する。

ここでは、説明を簡単にするために、電流ミラー回路の入力電流 I_{in} と出力電流 I_{out} の比が1の場合を考え、トランジスタ8、9は同一形状のトランジスタとする。

トランジスタ10と9の (W/L) の比を $(W_9/L_9)/(W_{10}/L_{10})=A$ とすると、トランジスタ10に流れる電流 I_{10} は $I_{10} \approx I_{out}/A$ となる。このとき、電流出力端子3の電位 V_{out} と電流入力端子1の電位 V_{in} が等しければ、同一のトランジスタ8、9に流れている電流 I_{in} 、 I_{out} は等しいことになる。従って、トランジスタ11と13が同一サイズのトランジスタとすると、トランジスタ11と13に流れる電流も等しくなる($I_{11}=I_{13}$ となる)ように定電流源7の電流 I_x を決める。すなわち、 $I_x=2I_{11}$ とする。この状態では、トランジスタ11と13の

ゲート電位、つまりトランジスタ8と9のドレイン電位が等しい状態で安定する。このとき、 I_{in} と I_x の関係は、 $I_x=2I_{11}=2 \times I_{out}/A=2 \times I_{in}/A$ となり、結局のところ、 $(W_9/L_9)/(W_{10}/L_{10})=A$ 、 $I_x=2 \times I_{in}/A$ なる関係を満足すれば良いことになる。

次に、上述した電流ミラー回路のダイナミック動作について説明する。

ここでは、電流入力 I_{in} が一定であると仮定する。電流出力端子3に接続した負荷が変動し電流出力端子3の電位が ΔV_{out} だけ低下した場合、トランジスタ13のゲート電位が低下するため、電流 I_{13} が減少しトランジスタ11を流れる電流 I_{11} が増加する。従って、トランジスタ8と9の電流が減少するので、電流入力端子1の電位 V_{in} が低下するとともにトランジスタ11のゲート電位が低下し、電流 I_{11} が減少し電流 I_{13} を増加させる。すなわち、このトランジスタ8の電流が I_{in} と等しくなる I_{11} まで増加したところで安定する。すなわち、電流出力端子3の電位 V_{out} に

- 9 -

- 10 -

電流入力端子1の電位 V_{in} が追従するように動作する。実際には、差動ペアトランジスタ11、13のミスマッチによるオフセット電圧とトランジスタ10、9のチャンネル長変調効果の違いによる誤差が V_{in} と V_{out} の電位の差として現われるが、2番目の項目を小さくすることはトランジスタ11、13のトランスコンダクタンスを大きくすることで可能であり、せいぜい数十mVオーダーの差である。従って、 $V_{in} \approx V_{out}$ であり、高精度の電流ミラー回路が得られる。尚、トランジスタ12は、トランジスタ13がOFFする程度までに電流出力端子3の電位 V_{out} が低下したときに、 V_{in} 、 V_{out} が0Vで安定するのを防ぐためのトランジスタであり、このトランジスタ12が導通し電流 I_x を流せるだけの電位 V_n がゲートに印加されている。従って、電流出力端子3の電位 V_{out} が V_n より低い場合、トランジスタ11と12が差導対として動作し、結局 $V_{in} \approx V_n$ となるように動作する。

第2図は本発明の第二の実施例を示す電流ミ

- 11 -

る。

第3図は本発明の第三の実施例を示す電流ミラー回路図である。

第3図に示すように、トランジスタ8~13および16、17は前述した第二の実施例と同様であり、本実施例はこれらに加えて、トランジスタ8にゲートおよびソースがそれぞれ共通接続されたPMOSTランジスタ19と、ドレインおよびゲートがトランジスタ19のドレインに接続され且つソースが第二の電源端子(-V)5に接続されたNMOSTランジスタ20と、ゲートがトランジスタ20のゲートに、ドレインがトランジスタ11~13のソース共通接続点にそれぞれ接続され且つソースが第二の電源端子5に接続されたNMOSTランジスタ14とが接続されている。

要するに、本実施例と前述した第二の実施例と異なる点は、 $I_x = (2/A) \times I_{in}$ なる関係を実現している手段であり、トランジスタ19、20およびトランジスタ14がその機能を担って

- 13 -

る回路図である。

第2図に示すように、本実施例におけるトランジスタ8~13までの基本構成は第1図で説明した第一の実施例と同様であり、異なる点はソースとゲートが接続されたNチャンネル型デプリーションMOSトランジスタ16とドレインおよびゲートが接続されたNMOSTランジスタ17とが第一の電源4および第二の電源5間に直列接続され、その接続点とトランジスタ12のゲートが接続されるとともに、定電流源6と7の代わりにゲートが共に入力端子 V_{in} に接続されたNMOSTランジスタ15および14が接続されている構成にある。本実施例では、前述の $I_x = (2/A) \times I_{in}$ なる関係をトランジスタ15および14のディメンジョン比を $(W_{15}/L_{15}) / (W_{14}/L_{14}) = (A/2)$ として実現している。さらに、トランジスタ12のゲートに与える電位 V_n を実現するために、デプリーショントランジスタ16の飽和電流 I_s によって生じるトランジスタ17のゲート・ソース電圧 V_{gs} によって与えてい

- 12 -

いる。すなわち、これらトランジスタの入出力電流の関係は、

$$I_x / I_{in} = \{ (W_{19}/L_{19}) / (W_8/L_8) \} \times \{ (W_{14}/L_{14}) / (W_{20}/L_{20}) \}$$

結局、 $2/A = \{ (W_{19}/L_{19}) / (W_8/L_8) \} \times \{ (W_{14}/L_{14}) / (W_{20}/L_{20}) \}$ となれば良い。また、定電流源18はトランジスタ19、20、14、10からなる帰還ループ回路に於いて、スタートアップを確実にこなわせる手段であり、トランジスタ19に流れる電流の1/100以下の微小電流で良く、さらにこの回路は抵抗で置き替えることもできる。

〔発明の効果〕

以上説明したように、本発明の電流ミラー回路は電流入力端子と電流出力端子の電位を等しくするための複数の電界効果トランジスタおよび定電流源等よりなる制御回路を設けることにより、入力電流や出力負荷が大きく変動しても、集積回路に適した高精度且つ低電圧で動作する安定した電流ミラー特性を得ることが出来るという効果があ

- 14 -

る。

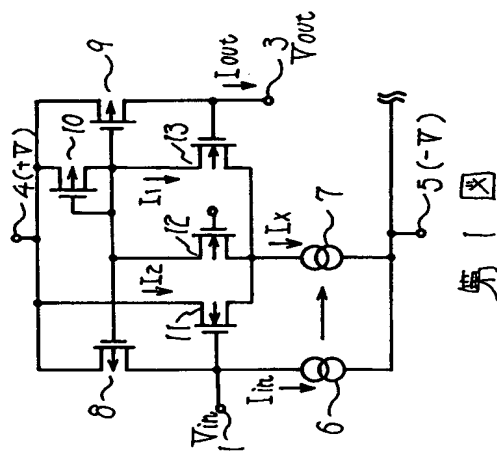
図面の簡単な説明

第1図は本発明の第一の実施例を示す電流ミラー回路図、第2図および第3図はそれぞれ本発明の第二および第三の実施例を示す電流ミラー回路図、第4図は従来の一例を示す電流ミラー回路図である。

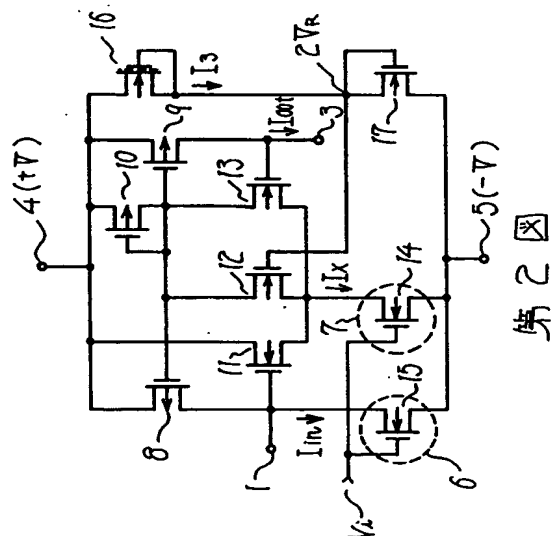
1…電流入力端子、2…所定電圧印加端子、3…電流出力端子、4…第一の電源端子（高位側）、5…第二の電源端子（低位側）、6、7、18…定電流源、8～10、19…Pチャンネル・エンハンスメント型・MOSFET、11～15、17、20…Nチャンネル・エンハンスメント型・MOSFET、16…Nチャンネル・デプリーション型・MOSFET。

代理人 弁理士 内 原 晋

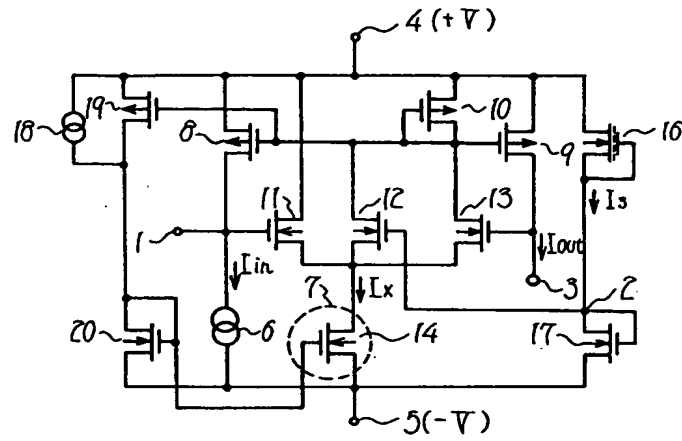
- 15 -



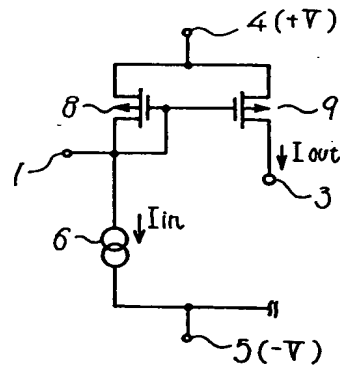
第1図



第2図



第 3 図



第 4 図